



IFW  
PATENT

# IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

RE APPLICATION OF: YU-CHUAN LIN ET. AL.

SERIAL NO.: 10/720,127

FILED: November 25, 2003

FOR: Device And Method For Recording Block Status  
Information

GROUP ART UNIT: 2186

EXAMINER: Unassigned

ATTY. REFERENCE: LINY3047/EM

## COMMISSIONER OF PATENTS

P.O. Box 1450

Alexandria, VA 22313-1450

*Sir:*

The below identified communication(s) or document(s) is(are) submitted in the above application or proceeding:

☒ Priority Document - Taiwanese Application No. 092105473

☒ Please debit or credit **Deposit Account Number 02-0200** for any deficiency or surplus in connection with this communication.

☐ Small Entity Status is claimed.

☐

23364

CUSTOMER NUMBER

**BACON & THOMAS, PLLC**  
625 Slaters Lane- Fourth Floor  
Alexandria, Virginia 22314  
(703) 683-0500

Date: August 12, 2004

*Respectfully submitted,*

Eugene Mar

Attorney for Applicant

Registration Number: 25,893



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder

申 請 日：西元 2003 年 03 月 13 日  
Application Date

申 請 案 號：092105473  
Application No.

申 請 人：銖德科技股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

CERTIFIED COPY OF  
PRIORITY DOCUMENT

發文日期：西元 2003 年 12 月 5 日  
Issue Date

發文字號：09221236820  
Serial No.

※ 申請日期： 92. 3. 13

(英文) \_\_\_\_\_

(英文)

(英文)

國籍：(中文) 中華民國 (英文)

(英文)

(英文)

(英文)

1

發明人 2

姓名：(中文) 陳俊傑

(英文)

住居所地址：(中文) 台南市北區勝安里 1 鄰開元路 21 號

(英文)

國籍：(中文) 中華民國

(英文)

發明人 3

姓名：(中文) 邱勝琳

(英文)

住居所地址：(中文) 南投縣草屯鎮山腳里民生二街 22 號

(英文)

國籍：(中文) 中華民國

(英文)

發明人 4

姓名：(中文) 沈鴻儒

(英文)

住居所地址：(中文) 台北縣鶯歌鎮鶯桃路 137 號 5F

(英文)

國籍：(中文) 中華民國

(英文)

#### 肆、中文發明摘要

本發明係有關於一種非揮發性記憶體之區塊狀態記錄裝置及其記錄方法，主要利用介面單元容納非揮發性記憶體，俾供與介面單元相連接之處理器能透過介面單元偵測該非揮發性記憶體之區塊狀態，以獲得有效或無效區塊位址，繼而將該等有效或無效區塊位址暫存於一記憶單元，直到處理器偵測完所有的區塊後，再將暫存於記憶單元中的有效或無效區塊位址寫入非揮發性記憶體。

#### 伍、英文發明摘要

陸、(一)、本案指定代表圖為：圖 1

(二)、本代表圖之元件代表符號簡單說明：

處理器	1	計數器	11
介面單元	2	記憶單元	3
非揮發性記憶體	4		

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

## 捌、聲明事項

☐ 本案係符合專利法第三十條第一項第一款但書或第二款但書規定之期間，其日期為：\_\_\_\_\_

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. 無
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 主張專利法第三十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_
4. \_\_\_\_\_
5. \_\_\_\_\_
6. \_\_\_\_\_
7. \_\_\_\_\_
8. \_\_\_\_\_
9. \_\_\_\_\_
10. \_\_\_\_\_

☐ 主張專利法第三十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 主張專利法第三十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. \_\_\_\_\_
2. \_\_\_\_\_
3. \_\_\_\_\_

☐ 熟習該項技術者易於獲得，不須寄存。

## 玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

### 一、發明所屬之技術領域

本發明係關於一種區塊狀態記錄裝置及其記錄方法，尤指一種非揮發性記憶體之區塊狀態記錄裝置及其記錄方法。

### 二、先前技術

隨著科技的進步，可攜式數位產品愈來愈普及，例如：個人數位助理（PDA）、數位相機及隨身碟等裝置。前述之裝置目前大部份皆採用快閃記憶體作為儲存媒體。由於市面上所販售之反及型快閃記憶體（NAND Flash Memory）出廠後，反及型快閃記憶體或多或少會有一些不良區塊（Bad Block），這些不良區塊之狀態原先應為高電位但卻誤判為低電位，或者原先應為低電位卻誤判為高電位，使得在存取時會造成資料錯誤，因此使用者在存取資料時，必須避免使用該等不良區塊。

因此，在使用者利用反及型快閃記憶體作為儲存媒體之前，必須先確認（Identifying）該等不良區塊的位址，以避免將來使用到該等不良區塊。通常廠商在產品組裝完成後才進行不良區塊的位址確認。然而，不良區塊的位址確認及移除需要較久的時間，且在產品組裝後才進行確認，使得該產品本身的控制器（Controller）必須提供不良區塊確認及移除功能而提高產品的製造成本。

### 三、發明內容



本發明之主要目的係在提供一種非揮發性記憶體之區塊狀態記錄裝置及其記錄方法，俾能降低快閃記憶體之不良區塊的確認及移除時間。

本發明之另一目的係在提供一種非揮發性記憶體之區塊狀態記錄裝置及其記錄方法，俾能簡化產品之控制器的設計以降低生產成本。

依據本發明之一特色，所提供之非揮發性記憶體之區塊狀態記錄裝置主要包括：一介面單元，係能容納至少一非揮發性記憶體，並與該至少一非揮發性記憶體電性連接，其中，該至少一非揮發性記憶體具有複數區塊，且每一區塊係為該至少一非揮發性記憶體記憶資料清除（Erase）之最小單位；一處理器，係與該介面單元連接，俾供透過該介面單元偵測該至少一非揮發性記憶體之區塊狀態，以獲得一區塊狀態結果；以及一記憶單元，係與該處理器連接，俾供該處理器將該區塊狀態結果暫存於該記憶單元，並在偵測結束後，由該處理器透過該介面單元將暫存於該記憶單元之區塊狀態結果寫入該複數區塊之其中一區塊。

依據本發明之另一特色，所提供之非揮發性記憶體之區塊狀態記錄方法主要包括下述步驟：（A）進行初始化，以設定至少一參數值；（B）偵測至少一具有複數區塊之非揮發性記憶體，以獲得至少一區塊狀態結果，其中，每一區塊係為該至少一非揮發性記憶體記憶資料清除（Erase）之最小單位；以及（C）將該偵測結果寫入

一記憶單元，直到偵測結束後，再將該至少一區塊狀態結果寫入該至少一非揮發性記憶體之其中一區塊。

上述之區塊狀態結果係可為有效區塊位址或無效區塊位址。介面單元為一容納裝置，其較佳為積體電路晶片（IC）座。記憶單元可為任何儲存媒體，較佳為隨機存取記憶體（RAM）。非揮發性記憶體可為任何快閃記憶體，較佳為反及型快閃記憶體。處理器亦可提供至少一錯誤修正碼（ECC），並將至少一錯誤修正碼記錄於該等區塊之第一區塊，以確保區塊狀態結果存取無誤。

#### 四、實施方式

有關本發明之詳細說明，敬請參照圖1顯示之系統方塊圖，其主要包括處理器1、介面單元2、及記憶單元3等主要構件。其中，處理器1包含一計數器11，介面單元2與處理器1相連接，其係用以容納非揮發性記憶體4，並能夠與該非揮發性記憶體4電性連接，其中，非揮發性記憶體4具有複數區塊，且每一區塊為非揮發性記憶體4記憶資料清除（Erase）時之最小單位。

於本發明中，介面單元2可為任何型式的容納裝置，較佳為積體電路晶片（IC）座。非揮發性記憶體4可為任何型態的快閃記憶體，較佳為反及型快閃記憶體（NAND Flash）1。記憶單元3之種類不限制，例如為可抹除記憶體或隨機存取記憶體（RAM）。

處理器1分別與介面單元2及記憶單元3相連接，俾供非揮發性記憶體4容納於介面單元2時，處理器1可透過介

面單元2偵測非揮發性記憶體4之區塊狀態，以獲得一區塊狀態結果，並將其暫存於記憶單元3，直到該非揮發性記憶體4之所有區塊偵測完後，處理器1將暫存於記憶單元3中的區塊記錄寫入非揮發性記憶體4，其中，區塊狀態結果可包括至少一有效區塊位址或至少一無效區塊位址（即不良區塊的位址）。有關處理器1偵測非揮發性記憶體4之區塊情形，將於以下說明。

圖2顯示本發明區塊狀態記錄之第一實施例示意圖，請一併參照圖1，在非揮發性記憶體4組裝於產品（例如：姆指碟）之前，係先確認非揮發性記憶體4之有效區塊位址。首先，將非揮發性記憶體4容納於介面單元2，接著進行環境初始化，以設定至少一參數值，其包括將非揮發性記憶體4之區塊起始位址設定為零、設定計數器11之計數值由1開始、及設定記憶單元3之起始位址為零（步驟201）。

接著，處理器1透過介面單元2偵測非揮發性記憶體4之複數區塊狀態，以確認目前所偵測的區塊是否為有效區塊（步驟S202）。若區塊為有效區塊，則處理器1將該有效區塊之位址暫存於記憶單元3，此有效區塊位址即為區塊狀態結果（步驟S203），並在記錄此區塊狀態結果後，藉由目前的區塊起始位址與計數器11之計數值判斷目前偵測的區塊是否為最後一個區塊。若區塊為無效區塊，則直接透過區塊起始位址與計數器11之計數值判斷是否為最後一個區塊，若判斷結果不是非揮發性記憶體4

的最後一個區塊，則繼續對下一區塊進行偵測（步驟S204）。

若判斷結果為非揮發性記憶體4之最後一個區塊，則處理器1將之前暫存於記憶單元3中的有效區塊位址寫入非揮發性記憶體4之其中一區塊（當然，此區塊必須為有效區塊），於本實施例中，該其中一區塊較佳為第一區塊（Block 0）。由於非揮發性記憶體4之製造商提供一品質保證，即第一區塊（Block 0）一定為有效區塊，因此將有效區塊位址寫入第一區塊（步驟S205）。當然，處理器1亦可將計數器11之計數值寫入第一區塊，使得產品製造商可直接由非揮發性記憶體4讀出該非揮發性記憶體4之有效區塊數目及其位址，使得非揮發性記憶體4成為準備使用狀態，以達到降低非揮發性記憶體4之有效或無效區塊的確認時間，並簡化產品控制器的設計。

圖3顯示本發明區塊狀態記錄之第二實施例示意圖，其動作流程與前述第一實施例類似，其不同處僅在於本實施例係收集無效區塊數目及其位址，並將這些資訊寫入非揮發記憶體之第一區塊。

處理器1除了將上述資訊寫入第一區塊外，亦可提供該等有效區塊位址或無效區塊位址之錯誤修正碼（ECC），且將該等ECC記錄於第一區塊，俾當存取非揮發性記憶體4時，能提供立即的硬體修正，以取得最佳的性能，並能提供立即的軟體更正，以取得最大資料回復性，使得在存取資料時能夠正確無誤。

由以上之說明可知，本發明在非揮發性記憶體組裝於產品之前，利用處理器透過介面單元讀取非揮發性記憶體之區塊內容，俾供獲得有效或無效區塊位址及該等區塊之數量，確可降低快閃記憶體之不良區塊的確認及移除時間，並簡化產品之控制器的設計以降低生產成本。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

## 五、圖式簡單說明

圖1係本發明之功能方塊圖。

圖2係本發明第一實施例之動作流程圖。

圖3係本發明第二實施例之動作流程圖。

## 六、圖號說明

處理器	1	計數器	11
介面單元	2	記憶單元	3
非揮發性記憶體	4		

## 拾、申請專利範圍

1.一種非揮發性記憶體之區塊狀態記錄裝置，主要包括：

一介面單元，係能容納至少一非揮發性記憶體，並與該至少一非揮發性記憶體電性連接，其中，該至少一非揮發性記憶體具有複數區塊，且每一區塊係為該至少一非揮發性記憶體記憶資料清除（Erase）之最小單位；

一處理器，係與該介面單元連接，俾供透過該介面單元偵測該至少一非揮發性記憶體之區塊狀態，以獲得一區塊狀態結果；以及

一記憶單元，係與該處理器連接，俾供該處理器將該區塊狀態結果暫存於該記憶單元，並在偵測結束後，由該處理器透過該介面單元將暫存於該記憶單元之區塊狀態結果寫入該複數區塊之其中一區塊。

2.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該處理器偵測該至少一非揮發性記憶體之區塊狀態時，更利用一計數器計數該至少一非揮發性記憶體之區塊數目，以獲得一計數值，俾供偵測結束後，該處理器更能將該計數值寫入該至少一非揮發性記憶體。

3.申請專利範圍第2項所述之區塊狀態記錄裝置，其中，該計數值係為有效區塊數目或無效區塊數目。

4.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該區塊狀態記錄包括至少一有效區塊位址或至少一無效區塊位址。

5.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該介面單元係為一容納裝置。

6.如申請專利範圍第5項所述之區塊狀態記錄裝置，其中，該容納裝置為積體電路晶片（IC）座。

7.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該複數區塊之其中一區塊係為第一區塊（Block 0）。

8.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該處理器係提供至少一錯誤修正碼（ECC），並將該至少一錯誤修正碼記錄於該第一區塊，以確保該區塊狀態結果存取無誤。

9.如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該記憶單元係為隨機存取記憶體（RAM）。

10. 如申請專利範圍第1項所述之區塊狀態記錄裝置，其中，該至少一非揮發性記憶體係為反及型快閃記憶體。

11. 一種非揮發性記憶體之區塊狀態記錄方法，主要包括下述步驟：

（A）進行初始化，以設定至少一參數值；

（B）偵測至少一具有複數區塊之非揮發性記憶體，以獲得至少一區塊狀態結果，其中，每一區塊係為該至少一非揮發性記憶體記憶資料清除（Erase）之最小單位；以及

(C) 將該偵測結果寫入一記憶單元，直到偵測結束後，再將該至少一區塊狀態結果寫入該至少一非揮發性記憶體之其中一區塊。

12. 如申請專利範圍第11項所述之方法，其中，於步驟(B)中，更利用一計數器記數所偵測區塊數目，以獲得一計數值，俾當偵測結束後一併將該計數值寫入該至少一非揮發性記憶體。

13. 如申請專利範圍第11項所述之方法，其中，該至少一參數值係包括區塊起始位址、計數器之計數值及該記憶單元之起始位址。

14. 如申請專利範圍第11項所述之方法，其中，該至少一偵測結果係為至少一有效區塊位址。

15. 如申請專利範圍第11項所述之方法，其中，該至少一偵測結果係為至少一無效區塊位址。

16. 如申請專利範圍第11項所述之方法，其中，該其中一區塊係為第一區塊(Block 0)。

17. 如申請專利範圍第11項所述之方法，其中，於步驟(C)中，更寫入至少一錯誤修正碼(ECC)於該第一區塊，以確保該區塊狀態結果存取無誤。

18. 如申請專利範圍第11項所述之方法，其中，該至少一非揮發性記憶體係為快閃記憶體。

19. 如申請專利範圍第18項所述之方法，其中，該快閃記憶體係為反及型快閃記憶體。

20. 如申請專利範圍第11項所述之方法，其中，該記憶單元係為隨機存取記憶體(RAM)。



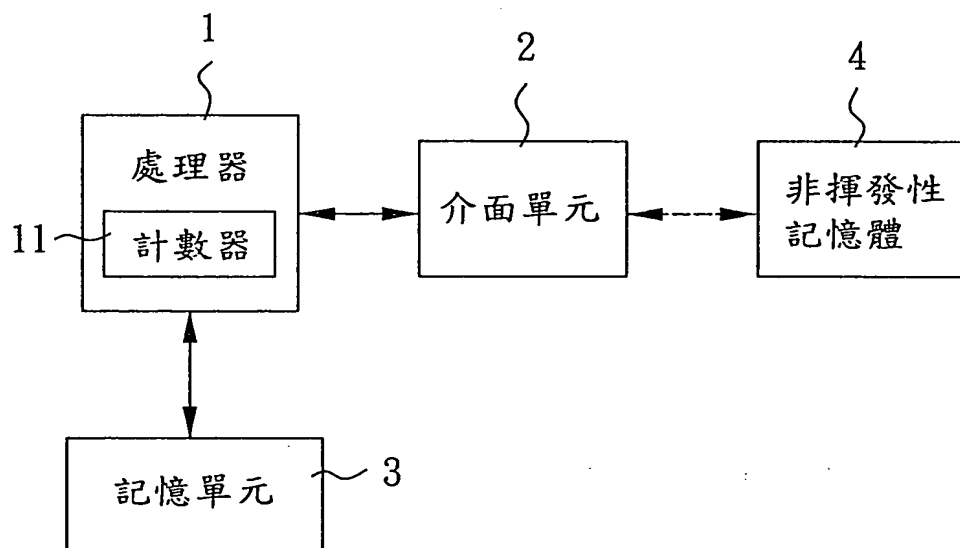


圖 1

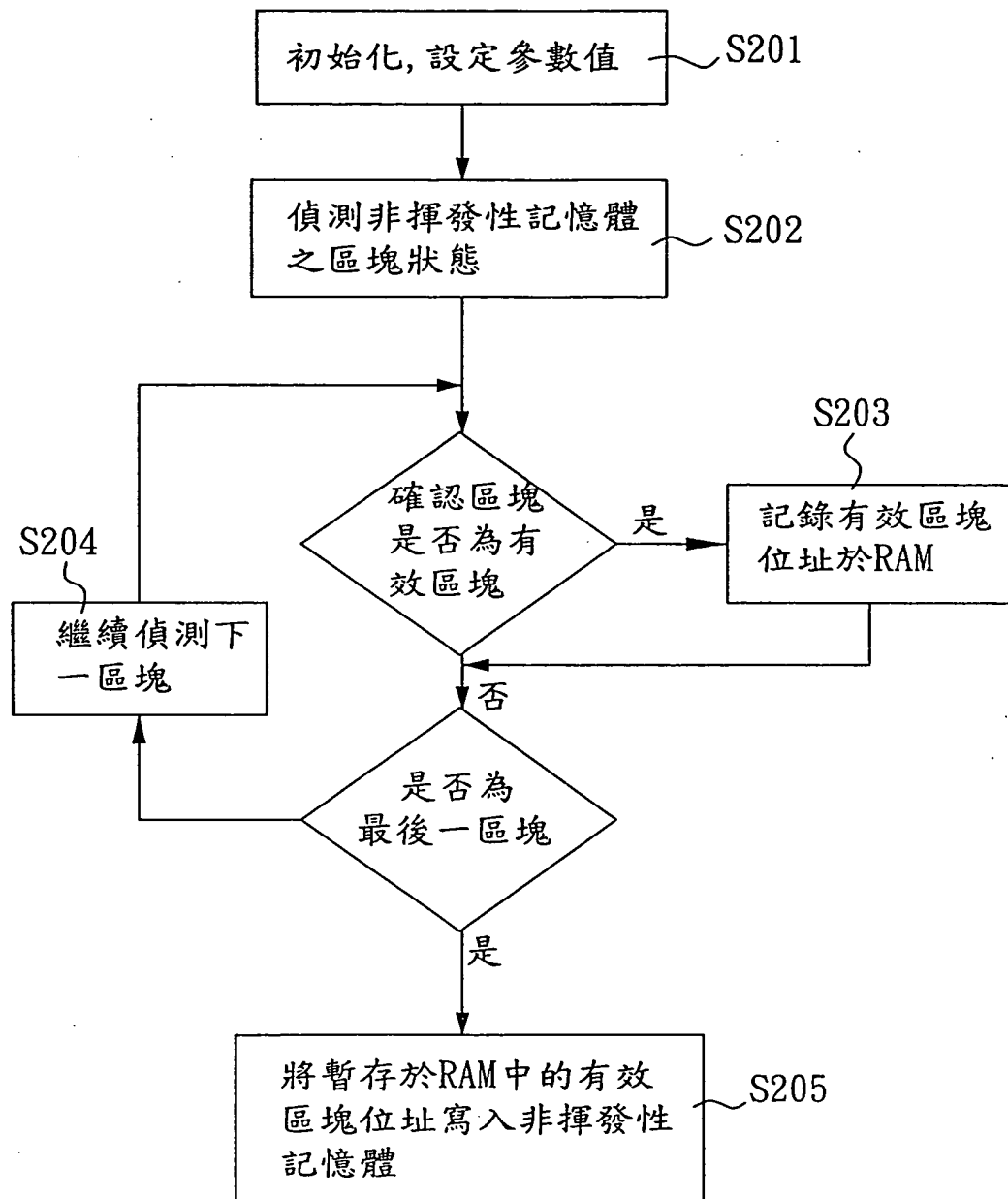


圖2

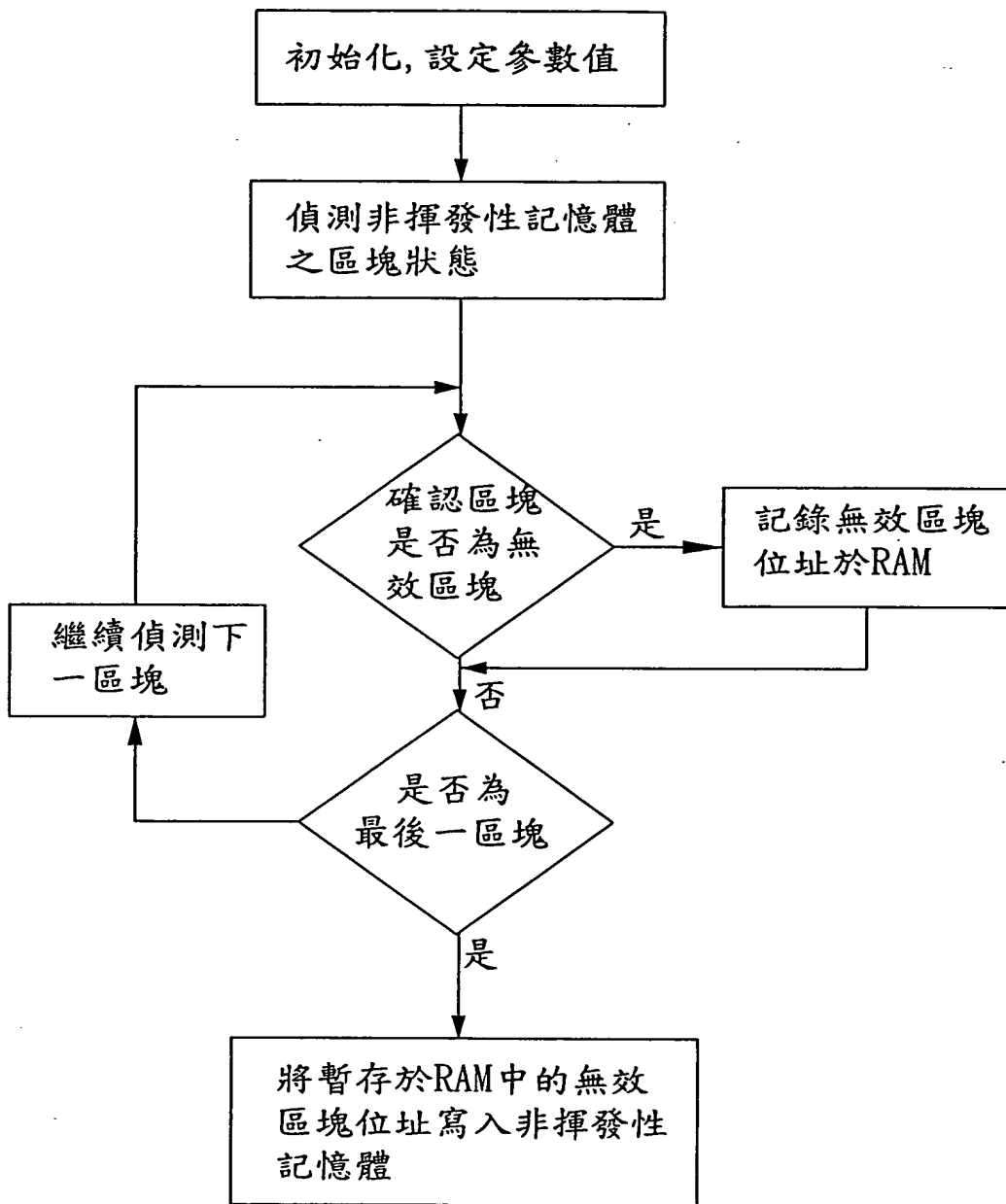


圖3